

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-265115

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H03K 5/08
H03M 1/34

(21)Application number : 08-045940

(71)Applicant : AT & T CORP

(22)Date of filing : 04.03.1996

(72)Inventor : VALLANCOURT DAVID GERARD
VISWANATHAN
THAYAMKULANGARA R

(30)Priority

Priority number : 95 398487

Priority date : 03.03.1995

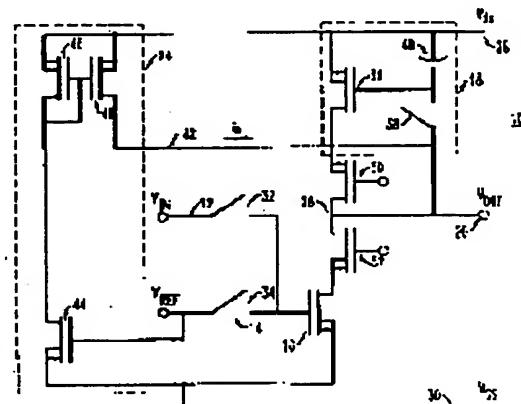
Priority country : US

(54) INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate a comparison processing speed by providing an input device for respectively converting an input signal and a reference signal to an input current and a reference current and a current copier for generating a comparison signal from the reference signal.

SOLUTION: An input voltage VIN as the input signal 12 and a reference voltage VREF are inputted to a comparator 10 for comparison and sent through a switch 14 to the input device 16. The device 16 is connected to a sampling circuit 18 and output 20 and the circuit 18 is operated as the current copier and provided with a MOSFET 36, a gate capacitor 40 and the switch 38. Two currents from the device 16 and the FET 36 collide, the voltage at the output 20 indicates which one of the two currents is larger and an output voltage is raised in the case that the voltage VREF is higher than the voltage VIN. When the comparator 10 is operated at a speed high enough to neglect junction leakage, the influence of an offset source is hardly received other than the one generated by the switch 38.



[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The integrated circuit which has the comparator characterized by to consist of an input device which receives a reference signal from a criteria node an input node, a criteria node, and in the 1st comparison cycle, receives an input signal from an input node in the 2nd comparison cycle, and changes an input signal and a reference signal into an input current and reference current, respectively, and current KOPIA which accumulates reference current into the 1st comparison cycle, and generate a comparison signal in the 2nd comparison cycle from an input current and the reference current which accumulated.

[Claim 2] Current KOPIA is the integrated circuit of claim 1 characterized by having the switch closed in the 1st comparison cycle, and the transistor which answers what said switch closed and accumulates reference current into the 1st comparison cycle.

[Claim 3] It is the integrated circuit of claim 1 characterized by connecting with an input device and current KOPIA, having further the equalization circuit which generates an underestimate current as the 1st part of reference current, and for current KOPIA answering said underestimate current, and reducing the offset under generation of a comparison signal by accumulating the 2nd part of reference current.

[Claim 4] The integrated circuit of claim 1 characterized by having further the amplifier which raises the gain accompanying generation of a comparison signal.

[Claim 5] Said amplifier is the integrated circuit of claim 4 characterized by raising gain by including two or more transistors by which cascode connection was made between an input device and current KOPIA.

[Claim 6] Current KOPIA is the integrated circuit of claim 1 characterized by generating a reference signal high when a reference signal is larger than an input signal.

[Claim 7] In the comparator which consists of the criteria switch which connects a criteria node to an input device into the 1st comparison cycle, an input switch which connects an input node to an input device into the 2nd comparison cycle, and current KOPIA An input device contains the input transistor which has the 1st and 2nd conductive components. An input device In the 1st conductive component, a reference signal is received from a criteria node in the 1st comparison cycle. In the 1st conductive component, an input signal is received from an input node in the 2nd comparison cycle, and an input signal and a reference signal are changed into an input current and reference current, respectively. Current KOPIA The 1st conductive element connected to the 1st conductive element of an input transistor, It closes the Copyer transistor which has the 2nd conductive element, and in the 1st comparison cycle. It opens in the 2nd comparison cycle and has the Copyer switch which connects the 1st of the Copyer transistor, and the 2nd conductive element into the 1st comparison cycle. The Copyer transistor The comparator characterized by reducing the offset accompanying the comparison signal which compared with the input current the reference current which answered what the Copyer switch opened, received the input current, generated the comparison signal, and was accumulated into the 2nd comparison cycle.

[Claim 8] It is the comparator of claim 7 characterized by having further the amplifier which has the 1st transistor which connects the Copyer transistor to an output node, and the 2nd transistor which cascode connection is made with the 1st transistor and connects an output node to an input transistor, and for the 1st and 2nd transistors answering an input current and the accumulated reference current,

and increasing the gain accompanying generation of a comparison signal.

[Claim 9] Current KOPIA is the comparator of claim 7 characterized by generating a high comparison signal when a reference signal is larger than an input signal, and this generating the reversal signal of the input signal over a reference signal.

[Claim 10] An input device is the comparator of claim 7 which time sharing is carried out between an input signal and a reference signal, and is characterized by changing each signal after a corresponding current.

[Claim 11] In the flash converter which changes an input signal the flash converter concerned It has two or more trains of the resistance element for generating two or more reference voltages, and comparators corresponding to each reference voltage in each criteria node. Each comparator The 1st switch which performs switching between an input node and a criteria node, The input device which receives reference voltage from each criteria node in the 1st comparison cycle, receives an input signal from an input node in the 2nd comparison cycle, and changes an input signal and a reference signal into an input current and reference current, respectively, The flash converter characterized by consisting of current KOPIA which generates a comparison signal from the reference current which accumulated reference current into the 1st comparison cycle, and was accumulated into the 2nd comparison cycle, and an input current.

[Claim 12] The flash converter of claim 11 characterized by having a complementary-type metal oxide semiconductor (CMOS) in order that the input device of each comparator may reduce fluctuation of the copied reference current.

[Claim 13] The step which receives an input signal in an input node in the approach of generating few comparison signals of offset, The step which receives a reference signal in a criteria node, and the step which receives a reference input signal from a criteria node in the 1st comparison cycle in an input device, The step which generates reference current from a reference signal, and the step which changes the Copyer switch into the 1st comparison cycle, The step which accumulates reference current into the 1st comparison cycle at current KOPIA, The step which receives an input signal from an input node in the 2nd comparison cycle in an input device, How to generate few comparison signals of offset characterized by consisting of a step which generates a comparison signal from the step which generates an input current in the 2nd comparison cycle in an input device, the reference current accumulated into the 2nd comparison cycle, and an input current.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] Especially this invention relates to the comparator and circuit based on current KOPIA about a comparator.

[0002]

[Description of the Prior Art] In some comparators [like] which are standard differential pair comparators, electrical-potential-difference offset arises by input device threshold mismatching and mutual-conductance parameter mismatching. The comparator using a current mirror has such electrical-potential-difference offset. A current mirror load contributes to offset and the reason is because adjustment is required for exact actuation. Offset voltage is accumulated in a capacitor, is deducted from an input signal later, and adjusts the offset concerned in many cases. Are recording and a total process have a late thing. The reason is because a comparator is generally arranged with a closed feedback loop configuration. When using with analog digital (A/D) and a digital-to-analog (D/A) converter, adjustment of offset late in this way restricts the rate of a translation process.

[0003]

[Problem(s) to be Solved by the Invention] In some comparator circuits which adjust the offset effectiveness, it is accumulated so that it may be proportional to criteria with a current, and an input signal is supplied to an input device, and clock feed through is controlled. However, such a comparator of offset adjustment is also late. Offset adjustment is required for other circuits, such as a flash converter. While reducing or eliminating the offset effectiveness, to enlarge comparison processing speed, without performing direct switch charge impregnation in a closed-loop configuration and the input of a comparator is wished.

[0004]

[Means for Solving the Problem] According to this invention, the integrated circuit which has a comparator with small offset based on current KOPIA is realized. The integrated circuit concerned has an input node, a criteria node, the input device that receives a reference signal from a criteria node in the 1st comparison cycle, receives an input signal from an input node in the 2nd comparison cycle, and changes an input signal and a reference signal into an input current and reference current, respectively, and current KOPIA which accumulates reference current into the 1st comparison cycle, and generates a comparison signal from an input current and the accumulated reference current in the 2nd comparison cycle.

[0005] Current KOPIA can have the switch closed in the 1st comparison cycle, and the transistor which answers having closed the 2nd switch and accumulates reference current into the 1st comparison cycle. It connects with an input device and current KOPIA, and an equalization circuit generates an underestimate current as a part for part I of reference current. Current KOPIA answers this underestimate current, accumulates a part for part II of reference current, and reduces the offset in generation of a comparison signal.

[0006] Furthermore, it is possible also in forming amplifier and increasing the gain accompanying generation of a comparison signal. This amplifier can have two or more transistors of a cascode configuration between an input device and current KOPIA in order to increase gain. A comparison functional output is generated by the node which connects current KOPIA with an input device. The electrical potential difference in this node rises, when the path of other charge flows does not exist in

this node, and the current accumulated in current KOPIA is larger than the current generated by the input device.

[0007] The flash converter improved using the comparator of this invention is also realized.

[0008]

[Embodiment of the Invention] The low offset comparator and flash converter based on current KOPIA by this invention are shown in drawing 1. In these devices, the offset accompanying the mismatching of the input device in a comparator is removed by using only one input device by which time sharing is carried out between two input signals. An input device continues each signal and changes it into a current. While current Copier accumulates one signal of these signals, an input device generates the signal of another side and two currents are compared by after that.

[0009] In order to compensate offset, an input signal, the single input device switched between a certain criteria, and the sampling circuit switched similarly are used for the comparator of this invention. In the example shown in drawing 1, a comparator 10 receives an input signal 12. An input signal 12 is switched to the input device (input circuit) 16 by the switch 14. This circuit is included in an integrated circuit (IC). The input device 16 changes an input signal 12 into a current. This current is accumulated by the sampling circuit 18 connected to the input device 16. At the time of actuation, a comparator 10 generates an output 20 as a comparison signal of an input signal 12 and a reference signal using a switch 14, the input device 16, and a sampling circuit 18. A comparator 10 can be connected [that the controller 22 which controls a switch 14 and a sampling circuit 18 is included, or] with such a controller 22. Such a controller 22 is the well-known approach, and can be incorporated in the controlling mechanism of the integrated circuit containing a comparator 10, or the integrated circuit connected to a comparator.

[0010] The comparator 10 of drawing 1 can include as an option the equalization circuit 24 connected to the input device 16 and the sampling circuit 18. This equalization circuit 24 can underestimate a reference signal, and can improve adjustment of the offset by the comparator 10. Moreover, the amplifier 26 for raising the gain in a comparison phase can also be included by the comparator 10.

[0011] In the example of the comparator 10 shown in drawing 2, as for a comparator 10, input voltage VIN and reference voltage VREF are inputted into a comparator 10 as an input signal 12 for a comparison. An input signal 12 is switched by the switches 32 and 34 of a switch 14, respectively. Such switches 32 and 34 are realizable with a transistor like the metal oxide semiconductor field-effects transistor (MOSFET) which answers the clock pulse which drives the input device 16. Other transistors and equal circuits of a type by the conventional technique are also usable so that I may be understood.

[0012] The switched input signal 12 is sent to the input device 16. The input device 16 is MOSFET connected to the drain electrical potential difference Vdd28 and the source electrical potential difference Vss30. The input device 16 is connected to a sampling circuit 18 and an output 20. In the example, a sampling circuit 18 is current KOPIA. Current KOPIA is indicated by S.J.Daubert et al., "Current Copier Cells", ElectronicsLetters, Vol.24, No.25, Dec.1988, and pp.1560-1562. Current KOPIA 18 includes MOSFET36 and a switch 38. An example is enough as the gate capacitance of MOSFET36 for actuation of current KOPIA 18. When that is not right, a capacitor 40 is formed in current KOPIA 18.

[0013] When it exists, as devices 50 and 52 are explained after this, they raise the engine performance. When it does not exist (i.e., even when it is simplistic and the path from each drain to the source is replaced), a comparator 10 operates.

[0014] At the time of actuation, a controller 22 or the independent source of a clock supplies a clock pulse to switches 32, 34, and 38, as shown in drawing 3. The switch 38 of current KOPIA 18 receives the pulse 54 by which the label was carried out to C1, and, on the other hand, switches 34 and 32 receive the pulses 56 and 58 by which the label was carried out to C2 and C3, respectively, respectively. Especially the switch with which a pulse corresponds Huy, i.e., when active, is closed (that is, it flows).

[0015] When C1 and C2 are active (i.e., when switches 38 and 34 have closed, respectively), the input device 16 generates the current which is mostly given by the degree type and which flows MOSFET36.

$I_{REF}=k_1(W/L)1(V_{REF}-VT_1)2$ (1)

However, k is a constant, W and L are the width of face and die length of a channel, respectively, and VT1 is the threshold electrical potential difference of MOSFET. When C1 is a low, the gate voltage of MOSFET36 corresponding to the above-mentioned current is accumulated in a capacitor 40. After that, a switch 32 will be opened (if C2 becomes a low).

[0016] In drawing 3, C3 is Huy, and when C1 is a low, the input device 16 generates the current which has the following magnitude.

$I_{IN}=k_1(W/L)1(V_{IN}-VT_1)2$ (2)

[0017] In this way, the input device 16 and two currents from MOSFET36 collide, and it is shown whether the electrical potential difference in an output 20 has large any of these two currents. When the reference voltage VREF is higher than input voltage VIN, output voltage rises and is interpreted as logical decision.

[0018] The current compared is continuously generated by each with the same input device 16, and $k_1 W/L$ and VT1 cancel. When a comparator 10 fully operates at a high speed so that it can disregard junction leakage, a comparator 10 is hardly influenced of the source of offset besides being generated by the switch 38.

[0019] An error is introduced into the current accumulated in current KOPIA 18 by the feed through from the switch 38 of current KOPIA 18. The drain current of MOSFET36 is as a degree type.

$I_2=\beta_2(V_{sg2}-VT_2) 2$ (3)

The drain current of the input device 16 is as a degree type.

$I_1=\beta_1(V_{gs1}-VT_1) 2$ (4)

[0020] By the charge feed through of a switch 38, the source-gate voltage of MOSFET36 becomes equal to deltaV, and the offset calculated like a degree type arises.

$V_{OFFSET}=\Delta V(\beta_2/\beta_1) 1/2$ (5)

This is based on an input.

[0021] In the comparator 10 of this invention, offset is minimized by making ratios β_2/β_1 into min by adjusting the input device 16 and the parameters W and L of MOSFET36.

[0022] In the alternative example, in order to avoid excessive V_{sg2} , as shown in drawing 2, an equalization circuit 24 is included. An equalization circuit 24 is connected to the input device 16, current KOPIA 18, and an output 20 by connection 42. The drain of MOSFET48 is connected to the input device 16, a sampling circuit 18, and an output 20 including MOSFET44 by which the equalization circuit 24 was connected to VREF, and MOSFETs 46 and 48 of a pair. An equalization circuit 24 operates so that MOSFET36 may carry, remaining part, i.e., $I_{REF}-ix$, while the current ix which flows the connection 42 from MOSFET48 serves as an underestimate of Current IREF. When ix accounts for the large rate of the IREF(s), it is determined that the input device 16 and the parameter of MOSFET36 will make β_2/β_1 min. In this example, the drain current of the comparator 10 including the equalization circuit 24 shown in drawing 2 is not the same as the input device 16 and MOSFET36, and offset voltage becomes like a degree type.

$V_{OFFSET}=\Delta V(gm_2/gm_1)$ (6)

[0023] Therefore, following factor $(\beta_2/\beta_1) 1/2$ It reaches. $(Id_2/Id_1) 1/2$ (7)

***** contributes to reduction of the offset by current KOPIA 18 which used the switch 38.

[0024] In the above-mentioned example, the input device 16 and the source of MOSFET44 of an equalization circuit are connected to the common source electrical potential difference V_{ss30} . In another example, bias conditions are established by supplying the tail currents IBIAS including the source of a bias current between the source of MOSFETs 16 and 44, and Vss. It becomes possible to control VREF and IREF independently, without adding the offset effectiveness according to the tail current IBIAS. Although a formula (1) and (2) are corrected when a bias current is included, formula (5) - (7) is realized as it is.

[0025] In the alternative example which includes an equalization circuit 24 in the comparator of drawing 2, current KOPIA 18 can also be considered as bidirectional current KOPIA, and this does not require that ix should be smaller than IREF.

[0026] It is possible to increase the magnification in a comparison phase (namely, when for C3 to be Huy) with amplifier 26 using the improvement technique in gain of other common knowledge. In the example shown in drawing 2, amplifier 26 is MOSFETs 50 and 52 of the pair which forms a

cascode circuit, an output 20 is connected to the source of MOSFETs 50 and 52, and the input device 16 and the source of MOSFET36 are connected to the drain of MOSFETs 50 and 52, respectively. [0027] In another alternative example shown in drawing 4, the cascode configuration of MOSFETs 62 and 54 for the improvement in gain is used for a comparator circuit 60 with the configuration of the switch input by current KOPIA 18 and the switches 32, 34, and 38 for reducing offset as mentioned above. The input device 16 and MOSFET36 perform inverter ability, and another inverter 66 connects a cascode configuration to an output 68. Although MOSFETs 62 and 64 are low threshold devices in the example, it is also possible instead to connect the gate of MOSFET64 to the independent source of bias voltage. MOSFET70 serves as a means which can control reference current so that the circuit shown in drawing 5 explains.

[0028] If switches 34 and 38 close as drawing 3 was already explained, the gate of n channel MOS FET 16 and 64 will be connected to reference voltage VREF, and a current will be copied to MOSFETs 36 and 62 in current KOPIA 18. An inverter 66 buffers an output. If a switch 32 closes, an input signal VIN will be connected to MOSFETs 16 and 64, and the load in an output 68 will acquire the copied current which was accumulated in current KOPIA 18. Next, the comparison of VIN and VREF is made by the reduced offset. The current accumulated may become excessive when the magnitude of VREF increases. It is possible to control this current by the p channel device 70 which has the gate connected to VBIAS.

[0029] Reducing offset by use of current KOPIA by this invention and a switch input signal has application further. For example, in a flash converter, the resolution of n bits must be obtained using 2-N comparator, and comparators must be simple and a high speed. As shown in drawing 5, a flash converter generates two or more reference level using the trains 72 and 74 of resistance as reference voltages VR1, VR2, VR3, and VR4. Fluctuation of the copied current covering a wide range current value is caused by such resistance train, and especially a current is related to the square rule property of MOSFET.

[0030] Fluctuation of a current can be avoided by use of a complementary-type metal oxide semiconductor (CMOS) like the series connection of the complementary-type devices 76 and 78 of a pair, as shown in drawing 5. In the example, two resistance trains 72 and 74 by which current bias was carried out are used, MOSFETs 80 and 82 are formed, and the current of the input device of each comparator in a flash converter becomes almost equal within adjustment precision. drawing 5 -- an opposite -- 76 and 78 are used as an input device which contains MOSFETs 16 and 70 in drawing 4, and connect two or more comparators of drawing 4 as a flash converter.

[0031] For example, in the case of the comparator connected to the 1st resistance train 72, a low threshold device is not essential to cascode connection. The reason is because it is available, in order that the 2nd resistance train 74 may carry out bias of the cascode device. It is possible to acquire cascode bias voltage using branching from the 2nd resistance train 74. In the example of further others, since the comparator 84 of drawing 6 prepares a complementary load, also in the case of a high reference level value with which VREF approaches Vdd of drawing 5, it is usable.

[0032] The AB class push pull version 86 of a current KOPIA comparator is shown in another alternative example shown in drawing 7. If a switch 92,104 closes each, as for transistors 90 and 96, a function respectively equivalent to the transistors 16 and 36 of drawing 6 will be performed. To coincidence, the complementary transistors 88 and 98 perform the same function. If a switch 94 closes, a comparison will be performed and an output will be obtained in the output node 102 through the inverter 100 as a buffer. As shown in drawing 7, it is also possible to include a capacitor 106 as an option.

[0033] The differential comparator 108 which has the still lower offset as another example is shown in drawing 8. The differential comparator 108 connects reference voltages Vrp and Vrn (respectively negative [forward and negative]) and input voltage Vinp and Vinn (forward and negative) to switches 110-116, respectively. Crocking of the switches 110 and 112 is carried out by the pulse C2 of drawing 3, and crocking of the switches 114 and 116 is carried out by the pulse C3. Switches 110-114 are connected to current KOPIA including the switches 122 and 124 in which crocking is carried out by the input devices 118 and 120 and the pulse C1, and MOSFETs 126 and 128 (as an option, it has a capacitor 130 and the current bias 132). The output nodes 134 and 136 are the forward and negative outputs of the differential comparator 108.

[0034]

[Effect of the Invention]

[Translation done.]

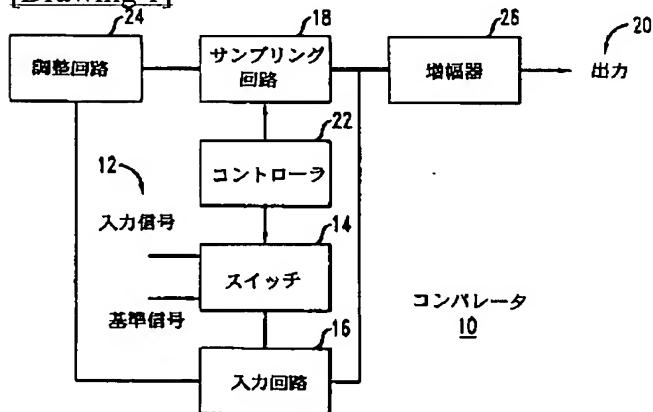
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

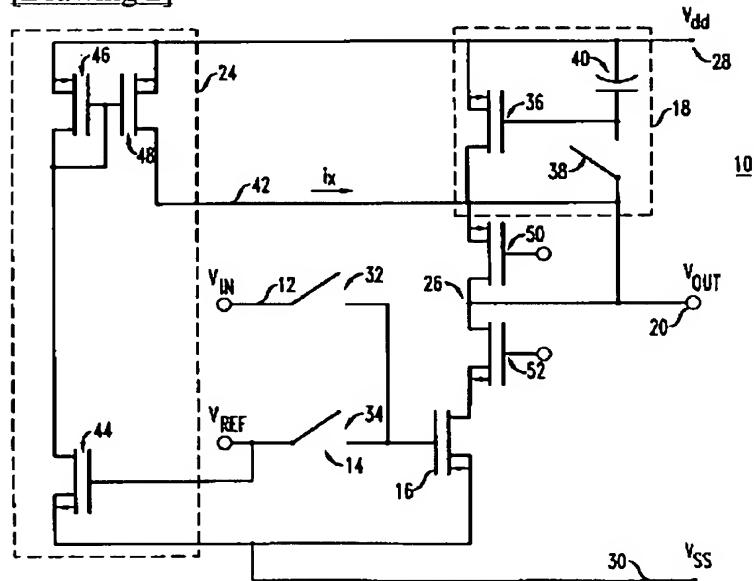
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

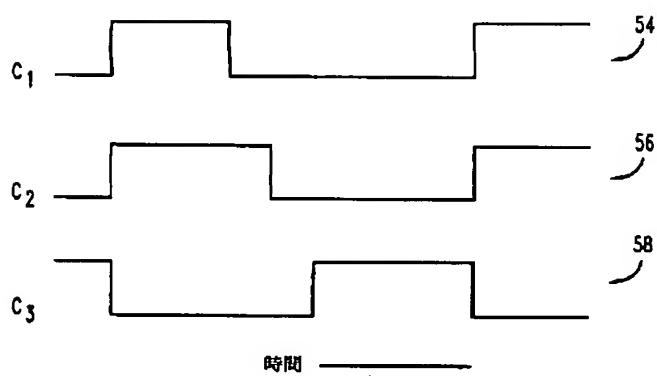
[Drawing 1]



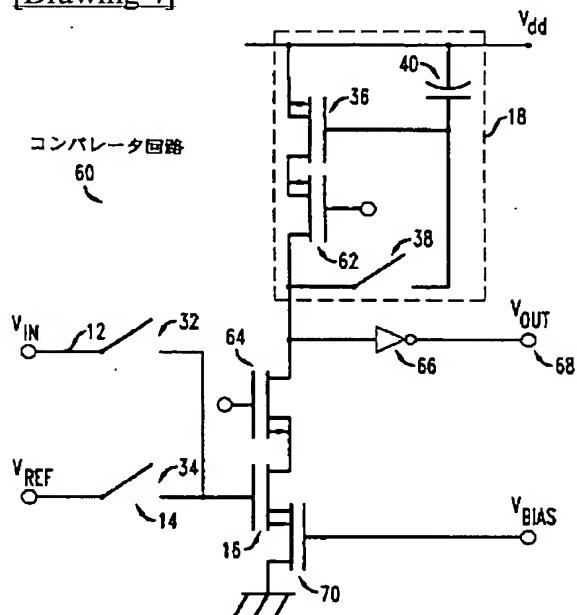
[Drawing 2]



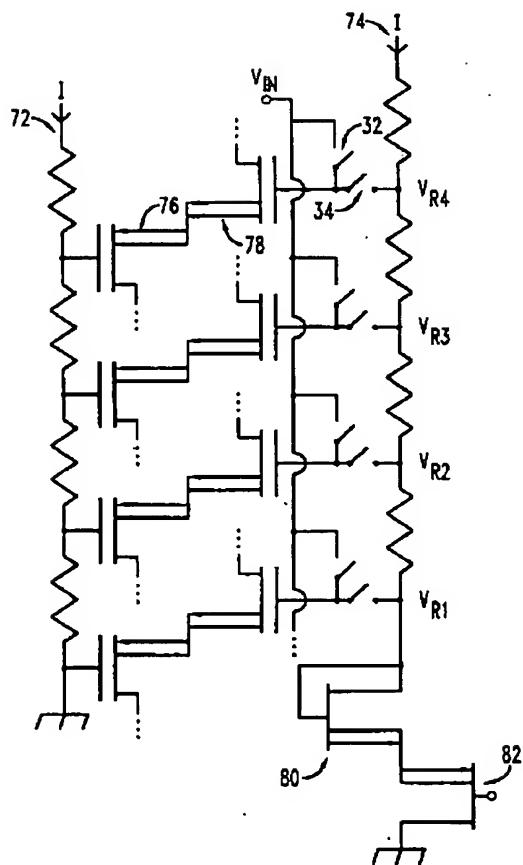
[Drawing 3]



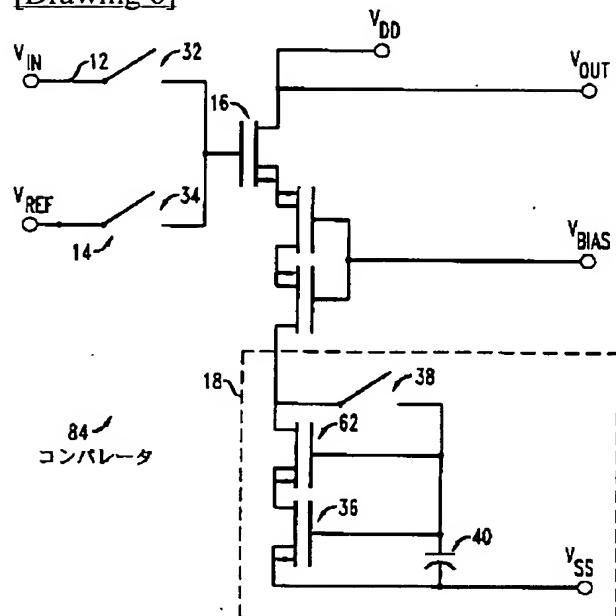
[Drawing 4]



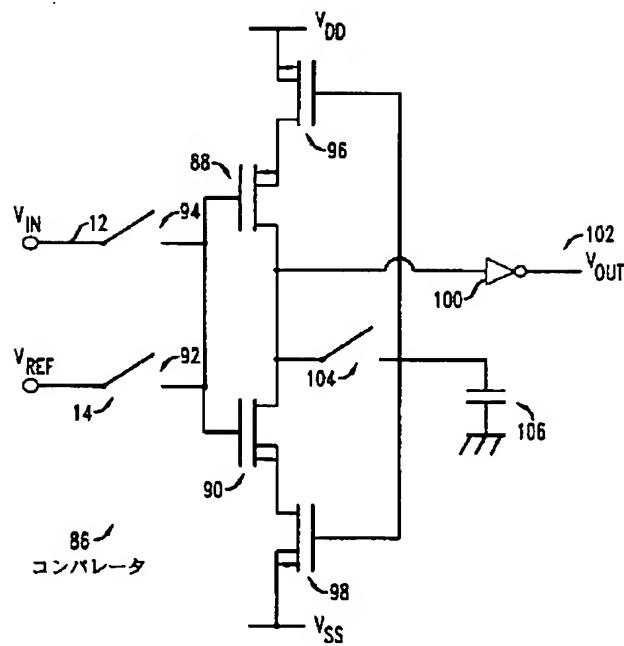
[Drawing 5]



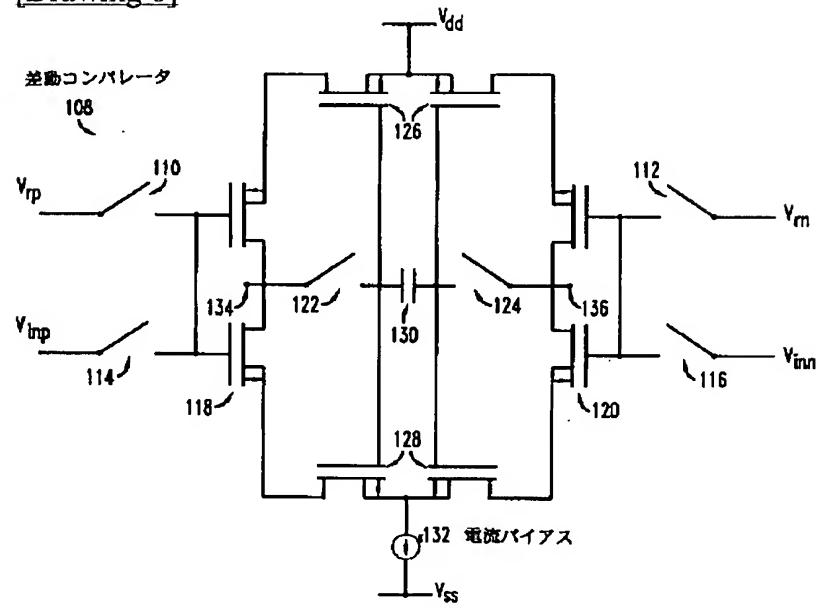
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-265115

(43)公開日 平成8年(1996)10月11日

(51) Int.Cl.⁶
H 03 K 5/08
H 03 M 1/34

識別記号 庁内整理番号

F I
H03K 5/08
H03M 1/34

技術表示箇所

(21) 出願番号 特願平8-45940

(22)出願日 平成8年(1996)3月4日

(31) 優先権主張番号 398487

(32) 優先日 1995年3月3日

(33) 優先権主張国 米国 (U.S.)

(71)出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨーク
ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(72)発明者 ディヴィッド ジェラード ヴァランコート
アメリカ合衆国、18062 バンシルバニア、
マクンギー、ブライアーウッド ドライブ
5077

(74) 代理人 経理士 三保 弘文

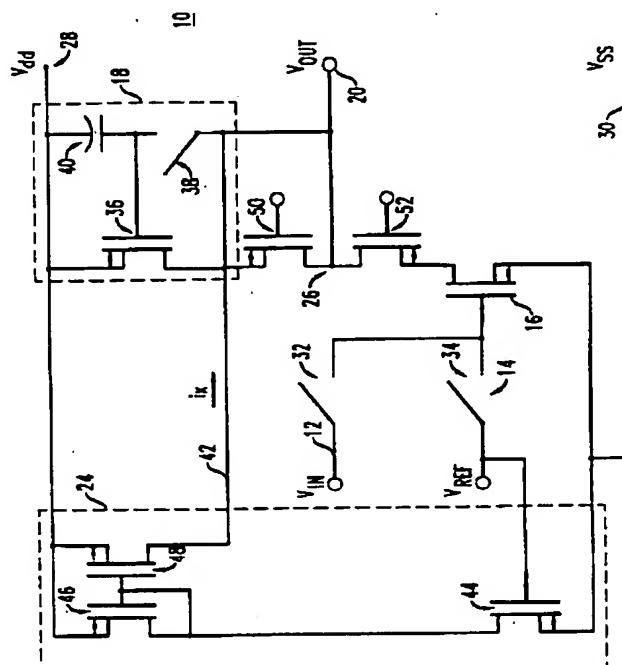
最終頁に統ぐ

(54) 【発明の名称】 **集積回路**

(57) 【要約】

【課題】 カレントコピアに基づいた、オフセットが小さいコンパレータを有する集積回路を実現する。

【解決手段】 集積回路は、入力ノードと、基準ノードと、入力デバイスと、カレントコピアとを有する。入力デバイスは、第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する。カレントコピアは、第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成する。カレントコピアは、第1比較サイクル中に閉じるスイッチと、第2スイッチを閉じたことに応答して第1比較サイクル中に基準電流を蓄積するトランジスタを有する。本発明のコンパレータを用いて改良されたフラッシュコンバータも実現される。



1

【特許請求の範囲】

【請求項1】 入力ノードと、
基準ノードと、
第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する入力デバイスと、
第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成するカレントコピアとからなることを特徴とするコンパレータを有する集積回路。

【請求項2】 カレントコピアは、
第1比較サイクル中に閉じるスイッチと、
前記スイッチが閉じたことに応答して、第1比較サイクル中に基準電流を蓄積するトランジスタとを有することを特徴とする請求項1の集積回路。

【請求項3】 入力デバイスおよびカレントコピアに接続され、基準電流の第1の部分として過小評価電流を生成する調整回路をさらに有し、
カレントコピアは、前記過小評価電流に応答して、基準電流の第2の部分を蓄積することにより比較信号の生成中のオフセットを縮小することを特徴とする請求項1の集積回路。

【請求項4】 比較信号の生成に伴う利得を高める増幅器をさらに有することを特徴とする請求項1の集積回路。

【請求項5】 前記増幅器は、入力デバイスとカレントコピアの間にカスコード接続された複数のトランジスタを含むことにより利得を高めることを特徴とする請求項4の集積回路。

【請求項6】 カレントコピアは、基準信号が入力信号より大きい場合に高い基準信号を生成することを特徴とする請求項1の集積回路。

【請求項7】 第1比較サイクル中に基準ノードを入力デバイスに接続する基準スイッチと、第2比較サイクル中に入力ノードを入力デバイスに接続する入力スイッチと、カレントコピアとからなるコンパレータにおいて、入力デバイスは、第1および第2の導電性素子を有する入力トランジスタを含み、入力デバイスは、第1比較サイクル中に基準ノードから第1の導電性素子において基準信号を受信し、第2比較サイクル中に入力ノードから第1の導電性素子において入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換し、

カレントコピアは、
入力トランジスタの第1の導電性要素に接続された第1の導電性要素と、第2の導電性要素とを有するコピアトランジスタと、

第1比較サイクル中に閉じ、第2比較サイクル中に開き、第1比較サイクル中にコピアトランジスタの第1お

2

よび第2の導電性要素を接続するコピアスイッチとを有し、

コピアトランジスタは、コピアスイッチが開いたことに応答して、入力電流を受信し、比較信号を生成し、第2比較サイクル中に、蓄積した基準電流と入力電流を比較した比較信号に伴うオフセットを縮小することを特徴とするコンパレータ。

【請求項8】 コピアトランジスタを出力ノードに接続する第1のトランジスタと、

10 第1のトランジスタとカスコード接続され出力ノードを入力トランジスタに接続する第2のトランジスタを有する増幅器をさらに有し、
第1および第2のトランジスタは、入力電流および蓄積された基準電流に応答して、比較信号の生成に伴う利得を増大させることを特徴とする請求項7のコンパレータ。

【請求項9】 カレントコピアは、基準信号が入力信号より大きい場合に高い比較信号を生成し、それにより、基準信号に対する入力信号の反転信号を生成することを特徴とする請求項7のコンパレータ。

【請求項10】 入力デバイスは入力信号と基準信号の間で時分割され、各信号を対応する電流に続けて変換することを特徴とする請求項7のコンパレータ。

【請求項11】 入力信号を変換するフラッシュコンバータにおいて、当該フラッシュコンバータは、複数の基準電圧を生成するための抵抗要素の列と、各基準ノードにおける各基準電圧に対応するコンパレータを複数個有し、各コンパレータは、

入力ノードと基準ノードとの間のスイッチングを行う第1のスイッチと、

30 第1比較サイクル中に各基準ノードから基準電圧を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する入力デバイスと、
第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に、蓄積した基準電流と入力電流から比較信号を生成するカレントコピアとからなることを特徴とするフラッシュコンバータ。

【請求項12】 各コンパレータの入力デバイスが、コピーされた基準電流の変動を縮小するために相補型金属酸化物半導体(CMOS)を有することを特徴とする請求項11のフラッシュコンバータ。

【請求項13】 オフセットの少ない比較信号を生成する方法において、

入力ノードにおいて入力信号を受信するステップと、
基準ノードにおいて基準信号を受信するステップと、
入力デバイスにおいて第1比較サイクル中に基準ノードから基準入力信号を受信するステップと、
基準信号から基準電流を生成するステップと、
50 第1比較サイクル中にコピアスイッチを切り替えるステ

ップと、
第1比較サイクル中にカレントコピアに基準電流を蓄積するステップと、
入力デバイスにおいて第2比較サイクル中に入力ノードから入力信号を受信するステップと、
入力デバイスにおいて第2比較サイクル中に入力電流を生成するステップと、
第2比較サイクル中に、蓄積した基準電流と入力電流から比較信号を生成するステップとからなることを特徴とする、オフセットの少ない比較信号を生成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンパレータに関し、特に、カレントコピアに基づくコンパレータおよび回路に関する。

【0002】

【従来の技術】標準的な差動対コンパレータのようないくつかのコンパレータでは、入力デバイスしきい値不整合および相互コンダクタンスパラメータ不整合により電圧オフセットが生じる。カレントミラーを用いたコンパレータはこのような電圧オフセットを有する。その理由は、カレントミラー負荷がオフセットに寄与し、正確な動作のためには調整が必要であるためである。オフセット電圧はキャパシタに蓄積され、後で入力信号から差し引いて当該オフセットを調整することが多い。蓄積・差引きプロセスは遅いことがある。その理由は、コンパレータは一般に閉フィードバックループ構成で配置されるためである。アナログーディジタル(A/D)およびディジタルーナログ(D/A)コンバータとともに用いる場合、このように遅いオフセットの調整は、変換プロセスの速度を制限する。

【0003】

【発明が解決しようとする課題】オフセット効果を調整するいくつかのコンパレータ回路では、電流がある基準に比例するように蓄積され、入力信号が入力デバイスに供給され、クロックフィードスルーが抑制される。しかし、このようなコンパレータも、オフセット調整は遅い。オフセット調整は、フラッシュコンバータなどのような他の回路にも必要である。オフセット効果を縮小または消去するとともに、閉ループ構成や、コンパレータの入力における直接スイッチ電荷注入を行わずに比較処理速度を大きくすることが所望される。

【0004】

【課題を解決するための手段】本発明によれば、カレントコピアに基づいた、オフセットが小さいコンパレータを有する集積回路が実現される。当該集積回路は、入力ノードと、基準ノードと、第1比較サイクル中に基準ノードから基準信号を受信し、第2比較サイクル中に入力ノードから入力信号を受信し、入力信号および基準信号をそれぞれ入力電流および基準電流に変換する入力デバ

イスと、第1比較サイクル中に基準電流を蓄積し、第2比較サイクル中に入力電流および蓄積した基準電流から比較信号を生成するカレントコピアとを有する。

【0005】カレントコピアは、第1比較サイクル中に閉じるスイッチと、第2スイッチを開じたことに応答して第1比較サイクル中に基準電流を蓄積するトランジスタを有することが可能である。調整回路は、入力デバイスおよびカレントコピアに接続され、基準電流の第1部分として過小評価電流を生成する。カレントコピアは、

10 この過小評価電流に応答して、基準電流の第2部分を蓄積し、比較信号の生成におけるオフセットを縮小する。

【0006】さらに、増幅器を設け、比較信号の生成に伴う利得を増大させることも可能である。この増幅器は、利得を増大させるために、入力デバイスとカレントコピアの間にカスコード構成の複数のトランジスタを有することが可能である。比較機能出力は、入力デバイスとカレントコピアを接続するノードで生成される。このノードにおける電圧は、このノードに他の電荷フローの経路が存在しない場合、カレントコピアに蓄積された電流が入力デバイスによって生成される電流より大きいとき上昇する。

【0007】本発明のコンパレータを用いて改良されたフラッシュコンバータも実現される。

【0008】

【発明の実施の形態】図1に、本発明による、カレントコピアに基づく低オフセットコンパレータおよびフラッシュコンバータを示す。これらのデバイスにおいて、コンパレータ内の入力デバイスの不整合に伴うオフセットは、2つの入力信号の間で時分割されるただ1つの入力デバイスを用いることによって除去される。入力デバイスは各信号を統けて電流に変換する。電流コピアがこれらの信号のうちの一方の信号を蓄積する一方で、入力デバイスは他方の信号を生成し、その後で2つの電流が比較される。

【0009】オフセットを補償するため、本発明のコンパレータは、入力信号とある基準の間でスイッチする単一の入力デバイスと、同様にスイッチするサンプリング回路とを使用する。図1に示した実施例では、コンパレータ10は入力信号12を受信する。入力信号12は、

40 スイッチ14によって、入力デバイス(入力回路)16にスイッチされる。この回路は例えば集積回路(IC)に組み込まれる。入力デバイス16は入力信号12を電流に変換する。この電流は、入力デバイス16に接続されたサンプリング回路18によって蓄積される。動作時には、コンパレータ10は、スイッチ14、入力デバイス16、およびサンプリング回路18を用いて、入力信号12と基準信号の比較信号として出力20を生成する。コンパレータ10は、スイッチ14およびサンプリング回路18を制御するコントローラ22を含むこと、50 または、そのようなコントローラ22に接続されること

が可能である。このようなコントローラ22は、周知の方法で、コンパレータ10を含む集積回路、または、コンパレータに接続される集積回路の制御機構内に組み込むことが可能である。

【0010】図1のコンパレータ10は、オプションとして、入力デバイス16およびサンプリング回路18に接続された調整回路24を含むことが可能である。この調整回路24は、基準信号を過小評価し、コンパレータ10によるオフセットの調整を改善することができる。また、コンパレータ10は、比較段階中の利得を高めるための増幅器26を含むことも可能である。

【0011】図2に示したコンパレータ10の実施例では、コンパレータ10は、コンパレータ10には、比較のための入力信号12として、入力電圧 V_{IN} および基準電圧 V_{REF} が入力される。入力信号12は、スイッチ14のスイッチ32、34によってそれぞれスイッチされる。このようなスイッチ32、34は、入力デバイス16を駆動するクロックパルスに応答する金属酸化物半導体電界効果トランジスタ(MOSFET)のようなトランジスタで実現可能である。理解されるように、従来技術による他のタイプのトランジスタや等価回路も使用可能である。

【0012】スイッチされた入力信号12は入力デバイス16に送られる。入力デバイス16は、例えば、ドレン電圧 V_{dd} 28およびソース電圧 V_{ss} 30に接続されたMOSFETである。入力デバイス16はサンプリング回路18および出力20に接続される。実施例では、サンプリング回路18はカレントコピアである。カレントコピアは、S. J. Daubert et al., "Current Copier Cells", Electronics Letters, Vol. 24, No. 25, Dec. 1988, pp. 1560-1562に記載されている。カレントコピア18は、MOSFET36およびスイッチ38を含む。実施例では、MOSFET36のゲートキャパシタансは、カレントコピア18の動作に十分である。そうでない場合、キャパシタ40がカレントコピア18に設けられる。

【0013】デバイス50、52は、存在する場合には、これから説明するようにして性能を向上させる。存在しない場合、すなわち、それぞれのドレンからソースへの経路を短絡で置き換えた場合でも、コンパレータ10は動作する。

【0014】動作時に、コントローラ22、あるいは、独立のクロック源が、図3に示すようにクロックパルスをスイッチ32、34、38に供給する。カレントコピア18のスイッチ38は、C1とラベルされたパルス54を受信し、一方、スイッチ34、32はそれぞれC2、C3とラベルされたパルス56、58をそれぞれ受信する。特に、パルスがハイすなわちアクティブであるとき、対応するスイッチは閉じる(すなわち、導通する)。

【0015】C1およびC2がアクティブのとき、すなわち、スイッチ38、34がそれぞれ閉じているとき、入力デバイス16は、ほぼ次式で与えられる、MOSFET36を流れる電流を生成する。

$$I_{REF} = k_1 (W/L) \cdot (V_{REF} - V_{T1})^2 \quad (1)$$

ただし、kは定数であり、WおよびLはそれぞれチャネルの幅および長さであり、 V_{T1} はMOSFETのしきい値電圧である。C1がローのとき、上記の電流に対応するMOSFET36のゲート電圧がキャパシタ40に蓄積される。その後(C2がローになると)、スイッチ32は開く。

【0016】図3において、C3がハイでありC1がローのとき、入力デバイス16は次の大きさを有する電流を生成する。

$$I_{IN} = k_1 (W/L) \cdot (V_{IN} - V_{T1})^2 \quad (2)$$

【0017】こうして、入力デバイス16およびMOSFET36からの2つの電流は衝突し、出力20における電圧は、これらの2つの電流のうちのいずれが大きいかを示す。基準電圧 V_{REF} のほうが入力電圧 V_{IN} より高い場合、出力電圧は上昇し、論理的決定として解釈される。

【0018】比較される電流はいずれも同じ入力デバイス16によって続けて生成され、 $k_1 W/L$ と V_{T1} はキャンセルする。コンパレータ10が、接合漏洩が無視できるほど十分に高速に動作するとき、コンパレータ10は、スイッチ38によって生成される以外にはほとんどオフセット源の影響を受けない。

【0019】カレントコピア18のスイッチ38からのフィードスルーにより、カレントコピア18に蓄積された電流に誤りが導入される。MOSFET36のドレン電流は次式の通りである。

$$I_2 = \beta_2 (V_{sg2} - V_{T2})^2 \quad (3)$$

入力デバイス16のドレン電流は次式の通りである。

$$I_1 = \beta_1 (V_{gs1} - V_{T1})^2 \quad (4)$$

【0020】スイッチ38の電荷フィードスルーにより、MOSFET36のソースゲート電圧は ΔV に等しくなり、次式のように計算されるオフセットが生じる。

$$V_{OFFSET} = \Delta V (\beta_2 / \beta_1)^{1/2} \quad (5)$$

40 これは入力を基準にしたものである。

【0021】本発明のコンパレータ10では、オフセットは、入力デバイス16およびMOSFET36のパラメータWおよびLを調整することによって比 β_2 / β_1 を最小にすることにより最小化される。

【0022】代替実施例では、過大な V_{sg2} を避けるために、図2に示したように、調整回路24が含まれる。調整回路24は、接続42によって、入力デバイス16、カレントコピア18、および出力20に接続される。調整回路24は、 V_{REF} に接続されたMOSFET44と、一対のMOSFET46、48を含み、MOS

FET48のドレインは入力デバイス16、サンプリング回路18、および出力20に接続される。調整回路24は、MOSFET48からの接続42を流れる電流 i_x が電流 I_{REF} の過小評価となるとともに、MOSFET36が残りの部分すなわち $I_{REF} - i_x$ を運ぶように動作する。 i_x が I_{REF} のうちの大きい割合を占める場合、入力デバイス16およびMOSFET36のパラメータは*

$$(\beta_2/\beta_1)^{1/2} \text{ および } (I_{d2}/I_{d1})^{1/2} \quad (7)$$

は両方とも、スイッチ38を用いたカレントコピア18によるオフセットの減少に寄与する。

【0024】上記の実施例では、入力デバイス16および調整回路のMOSFET44のソースは共通のソース電圧 V_{ss30} に接続される。もう1つの実施例では、MOSFET16、44のソースと V_{ss} の間にバイアス電流源を含めてテール電流 I_{BIAS} を供給することによりバイアス条件が確立される。テール電流 I_{BIAS} により、オフセット効果を付け加えることなく、 V_{REF} と I_{REF} を独立に制御することが可能となる。バイアス電流を含めた場合、式(1)および(2)は修正されるが、式(5)～(7)はそのまま成立つ。

【0025】図2のコンパレータにおいて調整回路24を含む代替実施例では、カレントコピア18は双方向カレントコピアとすることも可能であり、これは、 i_x が I_{REF} より小さいことを要求しない。

【0026】他の周知の利得向上技術を用いて、増幅器26により、比較段階中（すなわち、 C_3 がハイのとき）の増幅を増大させることができある。図2に示した実施例では、増幅器26は、カスコード回路を形成する一対のMOSFET50、52であり、出力20はMOSFET50、52のソースに接続され、入力デバイス16およびMOSFET36のソースはそれぞれMOSFET50、52のドレインに接続される。

【0027】図4に示したもう1つの代替実施例では、コンパレータ回路60は、上記のようにオフセットを縮小するためのカレントコピア18およびスイッチ32、34、38によるスイッチ入力の構成とともに、利得向上のためのMOSFET62、54のカスコード構成を使用する。入力デバイス16およびMOSFET36はインバータ機能を実行し、もう1つのインバータ66が、カスコード構成を出力68に接続する。実施例では、MOSFET62、64は低しきい値デバイスであるが、代わりに、MOSFET64のゲートを独立のバイアス電圧源に接続することも可能である。MOSFET70は、図5に示す回路で説明するように基準電流を制御することが可能な手段となる。

【0028】図3について既に説明したように、スイッチ34、38が閉じると、nチャネルMOSFET16、64のゲートは基準電圧 V_{REF} に接続され、電流はカレントコピア18内のMOSFET36、62にコピーされる。インバータ66は出力をバッファリングす

* β_2/β_1 を最小にするように決定される。この実施例では、図2に示した調整回路24を含むコンパレータ10のドレイン電流は、入力デバイス16およびMOSFET36と同じではなく、オフセット電圧は次式のようになる。

$$V_{OFFSET} = \Delta V (g_{m2}/g_{m1}) \quad (6)$$

【0023】従って、次の因子

$$I_{d2}/I_{d1}^{1/2} \quad (7)$$

る。スイッチ32が閉じると、入力信号 V_{IN} がMOSFET16、64に接続され、出力68における負荷は、カレントコピア18に蓄積されたコピーされた電流を取得する。次に、 V_{IN} と V_{REF} の比較が、縮小したオフセットでなされる。 V_{REF} の大きさが増大すると、蓄積される電流が過大になることもある。 V_{BIAS} に接続されたゲートを有するpチャネルデバイス70によりこの電流を制御することが可能である。

【0029】本発明によるカレントコピアおよびスイッチ入力信号の使用によりオフセットを縮小することはさらに応用を有する。例えば、フラッシュコンバータで

20 は、 2^N 個のコンパレータを使用して n ビットの分解能が得られ、コンパレータは単純かつ高速でなければならない。図5に示すように、フラッシュコンバータは抵抗の列72、74を用いて、基準電圧 V_{R1} 、 V_{R2} 、 V_{R3} 、 V_{R4} として複数の基準レベルを生成する。このような抵抗列により、広範囲の電流値にわたるコピーされた電流の変動が引き起こされ、特に、電流はMOSFETの二乗則特性に関係する。

【0030】電流の変動は、図5に示すように、一对の相補型デバイス76、78の直列結合のような、相補型30 金属酸化物半導体(CMOS)の使用により回避することが可能である。実施例では、電流バイアスされた2つの抵抗列72、74が用いられ、MOSFET80、82が設けられ、フラッシュコンバータ内の各コンパレータの入力デバイスの電流は整合精度内でほぼ等しくなる。図5の対76、78は、図4においてMOSFET16、70を含む入力デバイスとして使用され、図4の複数のコンパレータをフラッシュコンバータとして接続する。

【0031】例えば第1の抵抗列72に接続されたコン40 パレータの場合、低しきい値デバイスはカスコード接続に本質的ではない。その理由は、第2の抵抗列74がカスコードデバイスをバイアスするために利用可能であるためである。第2の抵抗列74からの分岐を用いて、カスコードバイアス電圧を取得することが可能である。さらに他の実施例では、図6のコンパレータ84は相補的な負荷を設けるため、 V_{REF} が図5の V_{dd} に近づくような高い基準レベル値の場合にも使用可能である。

【0032】図7に示したもう1つの代替実施例に、カレントコピアコンパレータのA B級ブッシュブル版86 50 を示す。スイッチ92、104がいずれも閉じると、ト

ランジスタ90、96はそれぞれ図6のトランジスタ16、36と等価な機能を実行する。同時に、相補的トランジスタ88、98は、同じ機能を実行する。スイッチ94が閉じると、比較が行われ、出力は、バッファとしてのインバータ100を通じて出力ノード102において得られる。図7に示すように、オプションとしてキャパシタ106を含めることも可能である。

【0033】さらにもう1つの実施例として、低いオフセットを有する差動コンパレータ108を図8に示す。差動コンパレータ108は、基準電圧 V_{rp} 、 V_{rn} （それぞれ正および負）と、入力電圧 V_{inp} 、 V_{inn} （正および負）を、それぞれ、スイッチ110～116に接続する。スイッチ110、112は図3のパルス C_2 によってクロッキングされ、スイッチ114、116はパルス C_3 によってクロッキングされる。スイッチ110～114は、入力デバイス118、120、パルス C_1 によってクロッキングされるスイッチ122、124を含むカレントコピア、およびMOSFET126、128（オプションとして、キャパシタ130および電流バイアス132を有する）に接続される。出力ノード134、136は、差動コンパレータ108の正および負の出力である。

【0034】

【発明の効果】

【図面の簡単な説明】

【図1】本発明のコンパレータのブロック図である。

【図2】本発明のコンパレータの例示的な回路図である。

【図3】クロックパルス信号の説明図である。

【図4】インバータの説明図である。

【図5】フラッシュコンバータの抵抗列の図である。

【図6】コンパレータの代替実施例の図である。

【図7】可変しきい値インバータの説明図である。

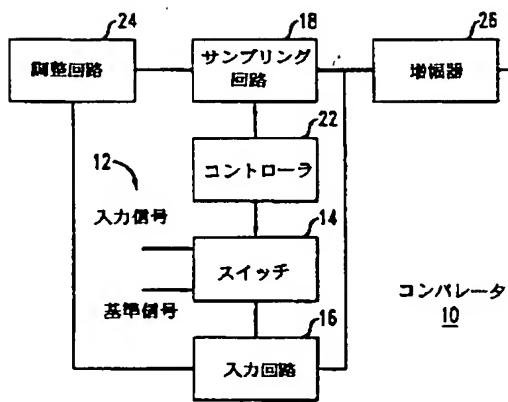
【図8】差動コンパレータの説明図である。

【符号の説明】

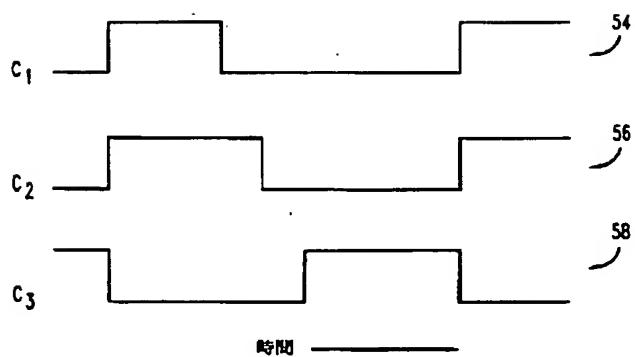
- 10 コンパレータ
- 12 入力信号
- 14 スイッチ
- 16 入力デバイス
- 18 サンプリング回路
- 20 出力
- 22 コントローラ
- 24 調整回路
- 26 増幅器
- 28 ドレン電圧 V_{dd}
- 30 ソース電圧 V_{ss}
- 32 スイッチ
- 34 スイッチ
- 36 MOSFET

38	スイッチ
40	キャパシタ
44	MOSFET
46	MOSFET
48	MOSFET
50	MOSFET
52	MOSFET
54	パルス
56	パルス
10	58 パルス
60	コンパレータ回路
62	MOSFET
64	MOSFET
66	MOSFET
68	出力
70	MOSFET
72	抵抗列
74	抵抗列
76	相補型デバイス
20	78 相補型デバイス
80	MOSFET
82	MOSFET
84	コンパレータ
86	コンパレータ
88	トランジスタ
90	トランジスタ
92	スイッチ
96	トランジスタ
30	98 トランジスタ
100	インバータ
102	出力ノード
104	スイッチ
106	キャパシタ
108	差動コンパレータ
110	スイッチ
112	スイッチ
114	スイッチ
116	スイッチ
40	118 入力デバイス
	120 入力デバイス
	122 スイッチ
	124 スイッチ
	126 MOSFET
	128 MOSFET
	130 キャパシタ
	132 電流バイアス
	134 出力ノード
	136 出力ノード

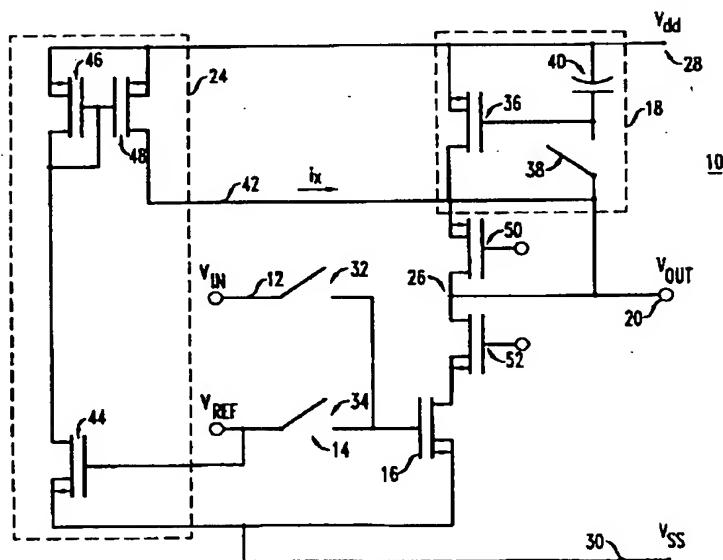
【図1】



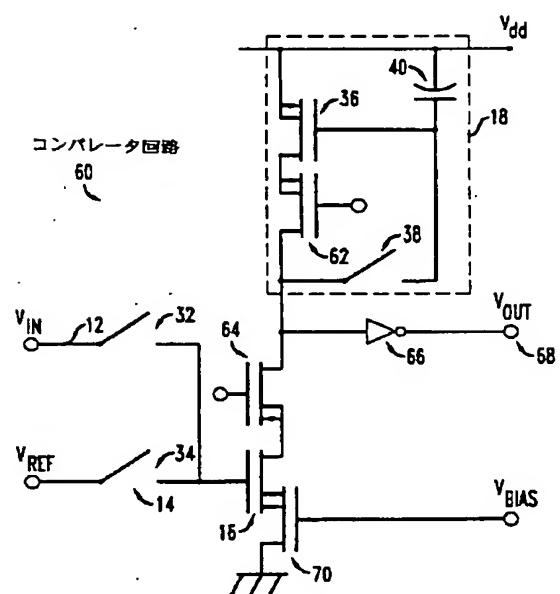
【図3】



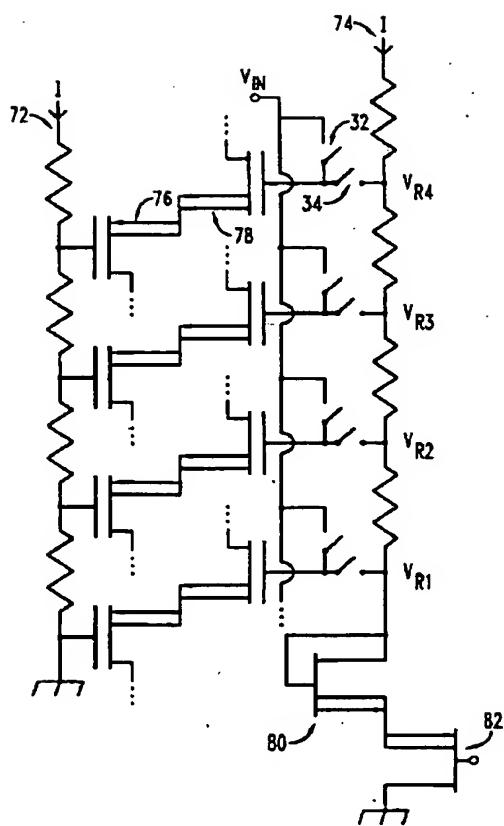
【図2】



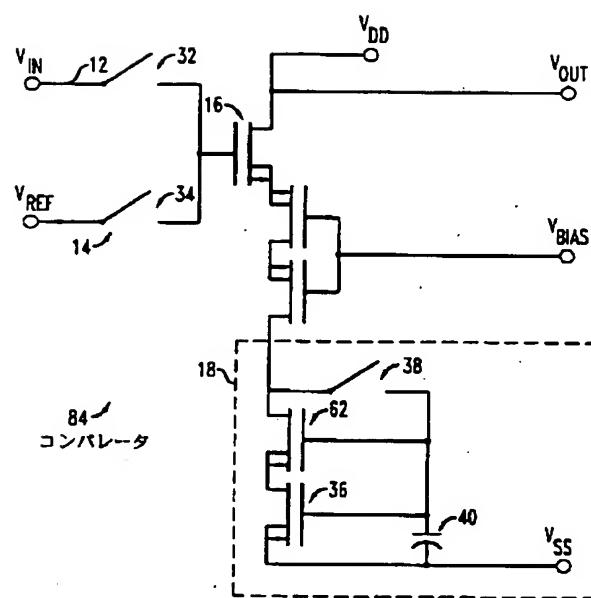
【図4】



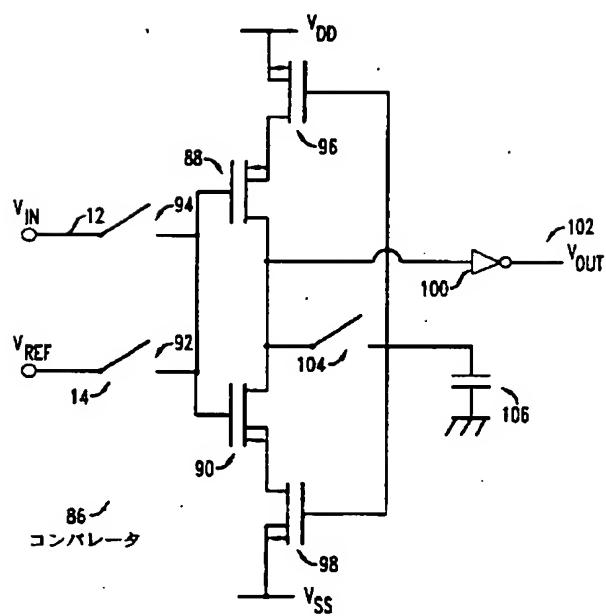
【図5】



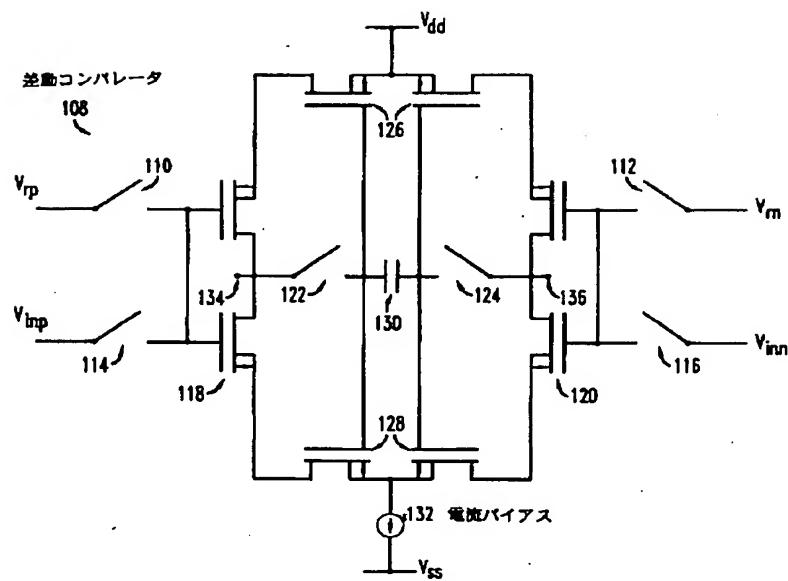
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 サヤムクランガラ ラマスワミ ヴィスワ
ナサン
アメリカ合衆国、75244 テキサス、アデ
イソン、ベルトウェイ ドライブ 4051、
アパートメント 204